

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131249

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁹
H 0 3 B 5/36

識別記号

庁内整理番号
8321-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平5-271932

(22) 出願日 平成5年(1993)10月29日

(71) 出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72) 発明者 佐藤 和弘

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

(74) 代理人 弁理士 志賀 富士弥 (外1名)

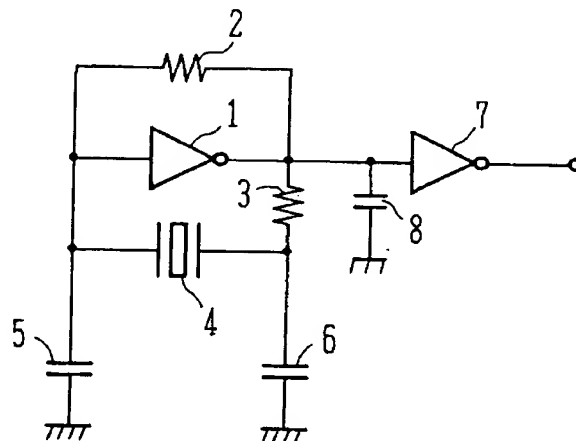
(54) 【発明の名称】 水晶発振回路

(57) 【要約】

【目的】 他の回路部品への高周波誘導ノイズの発生を
確実、容易に防止する。

【構成】 C-MOS インバータ 1 の入出力間に始動用
のバイアス抵抗 2 を設け、さらにドレイン抵抗 3 を介し
て水晶振動子 4 を設け、水晶振動子 4 の両端と基準電位
間には周波数調整用コンデンサ 5 と温度補償用コンデン
サ 6 を設けたコルビッツ形水晶発振回路において、C-
MOS インバータの出力端と基準電位間に高周波バイバ
ス用コンデンサ 8 を設け、発振出力パルスの高周波成分
を抑制する。これにより、水晶発振回路から他の回路部
品に高周波誘導ノイズが発生するのを抑制する。

実施例の水晶発振回路図



【特許請求の範囲】

【請求項 1】 C-MOS インバータを増幅器とするコルビット形水晶発振回路において、前記 C-MOS インバータのドレインと基準電位間に高周波バイパス用コンデンサ回路を備えたことを特徴とする水晶発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、C-MOS インバータによる水晶発振回路に関する。

【0002】

【従来の技術】図 3 は、従来の水晶発振回路を示す。C-MOS インバータ 1 の入出力間には始動用のバイアス抵抗 2 を設け、さらにドレイン抵抗 3 を介して水晶振動子 4 が設けられる。水晶振動子 4 の両端と基準電位間には周波数調整用コンデンサ 5 と温度補償用コンデンサ 6 が設けられる。C-MOS インバータ 1 の発振出力はバッファ用インバータ 7 を介して取り出される。

【0003】この発振回路は、C-MOS インバータ 1 の増幅と、水晶振動子 4 を含む帰還回路によりコルビット形発振回路を構成する。

【0004】ドレイン抵抗 3 は省略される場合がある。また、バイアス抵抗 3 は、通常は 1M Ω 程度の高い抵抗値にされ、C-MOS インバータ 1 に内蔵の場合もある。

【0005】

【発明が解決しようとする課題】一般に、水晶発振回路は、高い周波数の矩形波信号を発生するため、その高調波成分が大きくなる。また、水晶発振回路は、水晶振動子・コンデンサ等を外付け部品とするため、他の IC 回路部品に比べて配線パターンの引き回しが長くなる。

【0006】このため、水晶発振回路を他の回路部品と共に基板に実装するときには、水晶発振回路から他の回路部品に高周波誘導ノイズを与え易くなり、他の回路部品の誤動作を起こし易い。

【0007】この種の誤動作防止には、水晶発振回路部分を他の回路部品と離れた位置に設けることや電源配線パターンからの回り込みを防止するバスコンデンサを設けること、さらには水晶発振回路を覆うシールド板を設けることでなされる。

【0008】しかしながら、水晶発振回路は、腕時計用など小型化が要求されるものに実装するには上記のような誤動作防止手段を取りにくい場合が多い。

【0009】本発明の目的は、他の回路部品への高周波誘導ノイズの発生を確実、容易に防止する水晶発振回路を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記課題の解決を図るため、C-MOS インバータを増幅器とするコルビット形水晶発振回路において、前記 C-MOS インバータのドレインと基準電位間に高周波バイパス用コン

デンサ回路を備えたことを特徴とする。

【0011】

【作用】高周波誘導ノイズを最も発生し易い C-MOS インバータの出力端にコンデンサ回路を設けることにより、該出力端の信号から高調波成分を取り除き、他の回路部品に高周波誘導ノイズが発生するのを抑制する。

【0012】

【実施例】図 1 は、本発明の一実施例を示す回路図である。同図が図 3 と異なる部分は、C-MOS インバータ 1 のドレインと基準電位になるグランド間に高周波バイパス用コンデンサ 8 を設けた点にある。

【0013】本実施例において、C-MOS インバータ 1 の出力端になるドレイン端子には、コンデンサ 8 を設けない場合には電源電圧の高いレベルを持ちかつ早い立ち上がり・立ち下りのパルスが発生するが、コンデンサ 8 を設けることにより高調波成分を該コンデンサ 8 でバイパスした立ち上がり・立ち下りの緩いパルスを得ることができる。

【0014】したがって、高レベルかつ高周波成分を多く含む C-MOS インバータ 1 の出力端の信号に対して高周波成分を抑制することにより、該出力端から水晶振動子 4 等への比較的長い配線パターンの引き回し部分からの高周波誘導ノイズ発生を抑制できる。

【0015】これにより、水晶発振回路から他の回路部品に高周波誘導ノイズが発生するのを抑制し、他の回路部品での誤動作を防止する。

【0016】なお、水晶発振回路のパルス出力としてはバッファ用インバータ 7 によって波形成形された所期のパルスを得る。このインバータ 7 以降でのパルス信号による高周波誘導ノイズの発生は、回路パターンの集積及び周波数低減されているため、他の回路部品への影響は少なくなる。

【0017】図 2 は、本実施例に基づく実験結果としてのスペクトラム測定例を示す。同図の (a) には従来例でのスペクトラムを、(b) には本実施例でのスペクトラムを示す。

【0018】実験回路定数は、C-MOS インバータ 1 を TC74HCV04、始動用のバイアス抵抗 2 を 1M Ω 、ドレイン抵抗 3 を 1K Ω 、水晶振動子 4 を 10MHz 振動子、周波数調整用コンデンサ 5 と温度補償用コンデンサ 6 をそれぞれ 15pF、電源電圧 V_{DD} を 5V、高周波バイパス用コンデンサ 8 を 82pF とした。

【0019】同図からも明らかなように、本実施例の回路は、従来例のものに比べて、150MHz 以上の領域で高周波成分を抑制できた。

【0020】なお、実施例において、高周波バイパス用コンデンサ 8 は、バイパス周波数特性調整用の抵抗を直列に持つコンデンサ回路など他の構成に適宜設計変更できるのは勿論である。

【0021】

【発明の効果】以上のとおり、本発明によれば、C-MOSインバータのドレインと基準電位間に高周波バイパス用コンデンサ回路を備えたため、高周波誘導ノイズを最も発生し易いC-MOSインバータの出力端での信号から高調波成分を取り除き、他の回路部品に高周波誘導ノイズが発生するのを抑制し、その誤動作を防止できる効果がある。

【0022】しかも、回路構成としては、コンデンサ回路の追加のみで済み、従来のシールド板等を設けたノイズ防止手段を不要にしながら小型化を図ることができる。

【図面の簡単な説明】

*【図1】本発明の一実施例を示す水晶発振回路図。

【図2】従来例と実施例のスペクトラム測定結果。

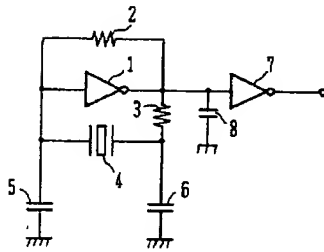
【図3】従来の水晶発振回路図。

【符号の説明】

- 1…C-MOSインバータ
- 2…始動用のバイアス抵抗
- 3…ドレイン抵抗
- 4…水晶振動子
- 5…周波数調整用コンデンサ
- 6…温度補償用コンデンサ
- 7…バッファ用インバータ
- 8…高周波バイパス用コンデンサ

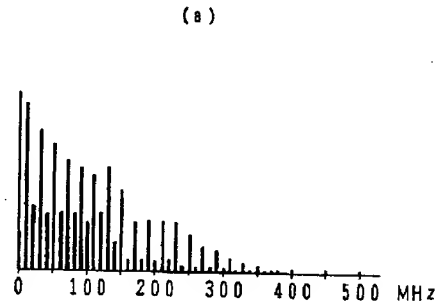
【図1】

実施例の水晶発振回路図

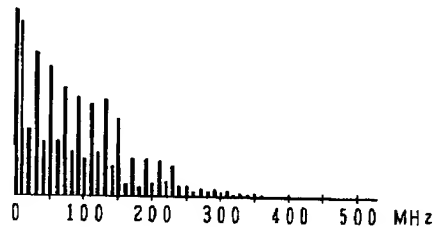


【図2】

スペクトラム測定結果

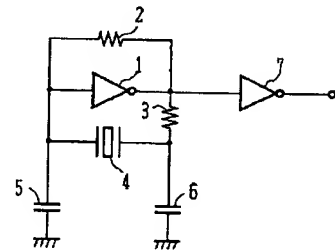


(b)



【図3】

従来の水晶発振回路図



PATENT ABSTRACTS OF JAPAN

English abstract
of Document 2

(11)Publication number : 07-131249

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H03B 5/36

(21)Application number : 05-271932

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 29.10.1993

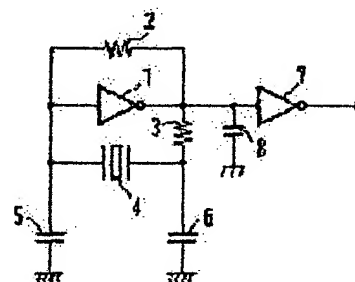
(72)Inventor : SATO KAZUHIRO

(54) CRYSTAL OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To securely and easily prevent a high frequency induction noise from being generated to other circuit components.

CONSTITUTION: A Colpitts type crystal oscillation circuit which is provided with a bias resistance 2 for starting between the input and output of a C-MOS inverter 1, provided with a crystal vibrator 4 through a drain resistance 3, and further provided between a capacitor 5 for frequency adjustment and a capacitor 6 for temperature compensation between both ends of the crystal vibrator 4 and a reference potential is provided with a high-frequency bypass capacitor 8 between the output terminal of the C-MOS inverter 1 and the reference potential to suppress high frequency components of oscillation output pulses. Consequently, the generation of the high frequency induction noise from the crystal oscillation circuit to other circuit components is suppressed.



LEGAL STATUS

[Date of request for examination] 02.03.1999

[Date of sending the examiner's decision of rejection] 12.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office